

## PATENT ABSTRACTS OF JAPAN

(11)Publication number :

11-202971

(43)Date of publication of application : 30.07.1999

(51)Int. Cl.

G06F 1/10  
H01L 27/04  
H01L 21/822

(21)Application number : 10-008932

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.01.1998

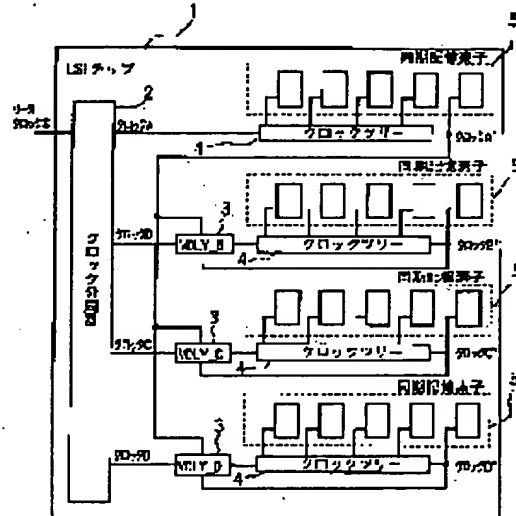
(72)Inventor : NAKAGAWA NAOKI  
EGAWA KANJI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce a delay difference between clock signals at different frequencies without expansion by arranging a variable delay circuit, with which the phase difference of a reference clock signal and a clock signal supply source clock signal is matched, at the clock signal supply source of a clock signal system except for a reference clock signal system.

SOLUTION: A clock frequency divider 2 of an LSI chip 1 receives a source clock signal S and generates clock signals A-D at different frequencies. A clock tree 4 adjusts clock skew while receiving the correspondent clock signals B-D outputted from a variable delay circuit 3. The variable delay circuit 3 defines a clock signal A' to be the terminating clock signal of the clock signal system, to which the clock signal A at the lowest frequency is supplied, as the reference clock signal, compares the phases of the reference clock signal A' and terminating clock signals B'-D', matches the phase difference of the reference clock signal and the clock signals B-D and regulates the delay difference between signals into sufficiently small value.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-202971

(43) 公開日 平成11年(1999) 7月30日

(51) Int. Cl.

識別記号

F I

G 0 6 F 1/10

G 0 6 F 1/04

3 3 0 A

H 0 1 L 27/04

H 0 1 L 27/04

F

21/822

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平10-8932

(22) 出願日 平成10年(1998) 1月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中川 直樹

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72) 発明者 江川 貢治

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

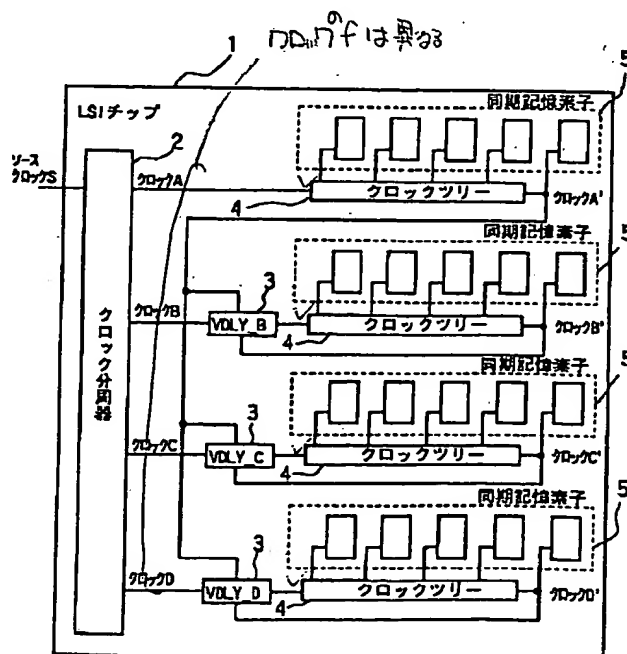
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 この発明は、回路構成の大型化を招くことなく周波数の異なるクロック信号間の遅延差を低減し、回路動作の安定化を向上した半導体集積回路を提供することを課題とする。

【解決手段】 この発明は、基準クロック信号と終端クロック信号との位相の比較結果に基づいて基準クロック信号とそれぞれ対応するクロック信号系のクロック信号供給元のクロック信号との位相差を合わせる可変遅延回路3を備えて構成される。



## 【特許請求の範囲】

【請求項1】 少なくとも2つ以上の異なる周波数のクロック信号系の回路群を備えた半導体集積回路において、

前記クロック信号系で最も周波数の低いクロック信号系のクロック信号の終端となるクロック信号受給先のクロック信号入力端子に与えられるクロック信号を基準クロック信号とし、この基準クロック信号と、それぞれ対応したクロック信号系におけるクロック信号供給元のクロック信号と、それぞれ対応したクロック信号系の前記クロック信号入力端子からフィードバックされる終端クロック信号を受けて、基準クロック信号と終端クロック信号との位相を比較し、比較結果に基づいて基準クロック信号とそれぞれ対応するクロック信号系のクロック信号供給元のクロック信号との位相差を合わせる可変遅延回路を、基準クロック信号のクロック信号系を除くクロック信号系のクロック信号供給元に具備したことを特徴とする半導体集積回路。

【請求項2】 前記可変遅延回路は、前記基準クロック信号と前記終端クロック信号を受けて両信号の位相を比較する位相比較器と、

前記位相比較器の比較結果に基づいて、基準クロック信号と終端クロック信号の位相差に応じた制御電圧信号を生成するループフィルタと、

前記ループフィルタで生成された制御電圧信号と前記クロック信号供給元のクロック信号を受けて、制御電圧信号に基づいてクロック信号供給元のクロック信号を遅延制御する電圧制御遅延回路を有することを特徴とする請求項1記載の半導体集積回路。

【請求項3】 ソースクロック信号を受けて、前記それぞれのクロック信号系のクロック信号を生成する分周器を具備することを特徴とする請求項1又は2記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、少なくとも2つ以上の異なる周波数のクロック信号系の回路群を備えた半導体集積回路に関する。

## 【0002】

【従来の技術】 従来、クロック信号に同期して動作する半導体集積回路では、単一クロック信号におけるクロックスキューはクロックツリー構造等の適用により十分に抑制が可能となり、回路設計者はクロックスキューを意識せずに回路設計を行うことができる。大規模、低消費電力等の理由により周波数の異なる多数のクロック信号を使用している現在の半導体集積回路にあって、図5に示すようにLSIチップ101に内蔵されたクロック分周器102によりソースクロック信号Sから生成されるそれぞれ周波数の異なるクロック信号A、B、C、Dは、それぞれのクロック信号毎にそれぞれ対応したクロ

ックツリー103A、103B、103C、103Dによりクロックスキューがなくなるように調整され、それぞれ対応したクロック信号系の回路群の例えば同期記憶素子104に供給されている。

【0003】 しかしながら、それぞれのクロックツリー103A、103B、103C、103D間で遅延のばらつきがあるため、それぞれのクロックツリー103A、103B、103C、103Dによってそれぞれのクロック信号A、B、C、D間の遅延時間差を無視できるほどに低減することは非常に困難であった。さらに、この遅延時間差により発生するタイミング違反の修正が回路のレイアウトの変更では不可能な場合には、アルゴリズム等の回路構成の変更が必要となり、回路の開発期間の長大化を招いていた。一方、このような不具合を回避するために、異種クロック信号間の遅延時間差の予測値を予め大きく設計するようにした場合には、無駄な遅延素子の挿入や、本来遅い回路でもよいものを高速にするための素子を追加し、集積回路全体の素子数や消費電力の増大を招くおそれがあった。また、プロセスのばらつき、温度変化ならびに電源電圧の変動によって生じる異種クロック信号間の遅延時間差によるタイミング違反により、回路動作が不安定になるおそれがあった。

【0004】 このような不具合を解決するために、図6に示すようにボード105上のそれぞれのクロック信号A、Bと、ボード105上に搭載されてそれぞれ対応したクロック信号A、Bを受けるLSIチップ106A、Bの終端のそれぞれのクロック信号の位相を合わせるために使用されるPLL（フェーズ・ロックド・ループ回路）107A、Bを応用して、図7に示すように、LSIチップ108に内蔵されたクロック分周器109によりソースクロック信号Sから生成されるそれぞれ周波数の異なるクロック信号A、Bと、それぞれのクロック信号毎にそれぞれ対応したクロックツリー110A、110Bにより位相合わせされた終端のクロック信号とをPLL111A、Bにより位相合わせすることも考えられるが、このような場合には、それぞれのクロック信号系毎に例えば図8に示すようなPLLが必要となり、かつクロック信号A、Bの位相合わせを行うために分周器109の内部にもPLLが必要となる。

## 【0005】

【発明が解決しようとする課題】 以上説明したように、周波数の異なる多数のクロック信号を使用している従来の半導体集積回路にあっては、周波数の異なるそれぞれのクロック信号間での遅延差の低減は極めて困難であった。一方、PLLを用いてそれらの遅延差を低減する手法が考えられるが、このような手法にあっては、多数のPLLが必要となり、回路構成が大型化するといった不具合を招くことにある。

【0006】 そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、回路構成の大

型化を招くことなく周波数の異なるクロック信号間の遅延差を低減し、回路動作の安定化を向上した半導体集積回路を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、少なくとも2つ以上の異なる周波数のクロック信号系の回路群を備えた半導体集積回路において、前記クロック信号系で最も周波数の低いクロック信号系のクロック信号の終端となるクロック信号受給先のクロック信号入力端子に与えられるクロック信号を基準クロック信号とし、この基準クロック信号と、それぞれ対応したクロック信号系におけるクロック信号供給元のクロック信号と、それぞれ対応したクロック信号系の前記クロック信号入力端子からフィードバックされる終端クロック信号を受けて、基準クロック信号と終端クロック信号との位相を比較し、比較結果に基づいて基準クロック信号とそれぞれ対応するクロック信号系のクロック信号供給元のクロック信号との位相差を合わせる可変遅延回路を、基準クロック信号のクロック信号系を除くクロック信号系のクロック信号供給元に具備し、PLLを使用した場合に比べて回路構成の大型化を招くことなく、周波数の異なるクロック信号間の遅延差を低減し、回路動作の安定化を向上させることを特徴とする。

【0008】請求項2記載の発明は、前記可変遅延回路は、請求項1記載の半導体集積回路において、前記基準クロック信号と前記終端クロック信号を受けて両信号の位相を比較する位相比較器と、前記位相比較器の比較結果に基づいて、基準クロック信号と終端クロック信号の位相差に応じた制御電圧信号を生成するループフィルタと、前記ループフィルタで生成された制御電圧信号と前記クロック信号供給元のクロック信号を受けて、制御電圧信号に基づいてクロック信号供給元のクロック信号を遅延制御する電圧制御遅延回路を有し、PLLを使用した場合に比べて回路構成の小型化を図ることを特徴とする。

【0009】請求項3記載の発明は、請求項1又は2記載の半導体集積回路において、ソースクロック信号を受けて、前記それぞれのクロック信号系のクロック信号を生成する分周器を具備することを特徴とする。

【0010】

【発明の実施の形態】以下、図面を用いてこの発明の実施の形態を説明する。

【0011】図1は請求項1、2又は3記載の発明の一実施形態に係わる半導体集積回路の構成を示す図である。

【0012】図1において、この実施形態の半導体集積回路のLSIチップ1は、外部からソースクロック信号Sを受けてそれぞれ周波数の異なる4つのクロック信号A、B、C、Dを生成するクロック分周器2と、クロッ

ク分周器2で生成されたクロック信号B、C、Dにそれぞれ対応して設けられクロック信号B、C、Dの位相を調整する可変遅延回路(VDL\_B、VDL\_C、VDL\_D、)3と、クロック信号A又は可変遅延回路3から出力されるそれぞれ対応したクロック信号B、C、Dを受けてクロックスキューを調整するクロックツリー4と、それぞれのクロックツリー4の終端クロック信号(クロック信号A'、B'、C'、D')をクロック入力端子で受けてそれぞれのクロック信号系の回路群を構成する例えば同期記憶素子5を備えて構成される。

【0013】可変遅延回路3は、クロック信号A、B、C、Dの内、周波数の最も低いクロック信号Aが供給されるクロック信号系の終端クロック信号となるクロック信号A'を基準クロック信号とし、この基準クロック信号と、クロック分周器2で生成されたそれぞれ対応するクロック信号B、C、Dと、それぞれ対応したクロック信号系の終端クロック信号となるクロック信号B'、C'、D'を受けて、基準クロック信号と終端クロック信号との位相を比較し、比較結果に基づいて基準クロック信号とクロック信号B、C、Dの位相差を合わせてそれぞれの信号間の遅延差を十分小さい値に調整する。このような可変遅延回路3は、基準クロック信号を設定したクロック信号系を除くそれぞれのクロック信号系のクロック信号供給元となるクロック分周器2の出力と、それぞれ対応するクロックツリー4の入力との間に設けられている。

【0014】基準クロック信号は、クロック信号Aを受けるクロックツリー4の終端クロック信号により駆動される全ての同期記憶素子5のクロック入力端子の信号となるため、同期記憶素子5と同数の複数存在することになるが、クロック信号Aのクロック信号系でのクロックスキューは対応するクロックツリー4により十分に小さい値に調整されているため、基準クロック信号として使用されるのは任意の1つのクロック信号で十分である。あるいは、クロック信号Aのクロック信号系のクロックツリー4の終端クロック信号をマージして1つの基準クロック信号とするようにしてもよい。一方、図2に示すように、クロック分周器2を削除してクロック信号A、B、C、Dを外から直接LSIチップ1に与えるようにしてもよい。

【0015】このような構成においては、クロック分周器2によりソースクロック信号Sが分周されて生成されたそれぞれ周波数が異なるクロック信号A、B、C、Dは、それぞれの信号間の遅延差が基準クロック信号となるクロック信号Aのクロック信号系を除くそれぞれのクロック信号系に設けられた可変遅延回路3により十分小さい値に調整され、それぞれ対応したクロック信号系の回路群の同期記憶素子5のクロック入力端子に供給される。これにより、周波数の異なる複数のクロック信号を使用する半導体集積回路を設計する段階で異種クロック

信号間の遅延時間差を正確に想定でき、クロック信号のタイミングが最適化された回路を設計することができる。また、プロセスのばらつき、温度変化や電源電圧の変動によって生じる異種クロック信号間の遅延時間差が低減されるため、製造マージンを小さくでき歩留まりが向上し、温度、電源電圧等の使用条件も広い範囲で保証することが可能となる。

【0016】また、従来の技術で説明したように、この実施形態の可変遅延回路3の動作は限定されているため、可変遅延回路3はPLLに比べて構成が半分程度にまで小型化が可能となり、かつ可変遅延回路3は基準クロック信号のクロック信号系には不要となり、必要となる可変遅延回路3の個数は(クロック信号の数-1)でよく、これらによりPLLを単純に全てのクロック信号系で使用する場合と比べて回路構成を大幅に小型化することができる。さらに、図2に示すようにクロック分周器2をLSIチップ1内に実装する必要がない場合には、LSIチップ1に入力される複数の異種クロック信号間の位相を正確に一致させる必要はなく、設計が容易となる。

【0017】図3は図1又は図2に示す可変遅延回路3の具体的な回路構成を示す図である。

【0018】図3において、可変遅延回路3は、図9に示すPLLのVCOを電圧可変遅延回路(VD)に置き換えることにより実現され、基準クロック信号とクロックツリー4からフィードバックされる終端クロック信号を受けて、両者の位相を比較し、比較結果に応じてアップ信号(UP)又はダウン信号(DOWN)を出力する位相比較器(PD)6と、位相比較器6から出力されるアップ信号又はダウン信号を受けて、これらの信号の高周波成分を除いた信号に基づいて充電又は放電を行い、位相比較器6により比較された両信号の位相差に応じた制御信号電圧(Vcot)を生成するループフィルタ(LP)7と、クロック分周器2又は外部から与えられるクロック信号B、C、Dの対応したクロック信号とループフィルタ7で生成された制御電圧信号を受けて、制御電圧信号にしたがってクロック信号と基準クロック信号の位相差を合わせて両信号間の遅延時間差を十分に小さい値に調整する電圧可変遅延回路(VD)8を備えて構成されている。

【0019】このような構成において、位相比較器6により基準クロック信号と終端クロック信号の位相が比較されて、基準クロック信号よりも終端クロック信号の位相が進んでいる場合はダウン信号が位相比較器6からループフィルタ7に出力され、基準クロック信号よりも終端クロック信号の位相が遅れている場合はアップ信号が位相比較器6からループフィルタ7に出力され、ダウン信号が出力されるとループフィルタ7により放電が行われ

てクロック信号の位相を遅らせる制御電圧信号が電圧可変制御回路8に与えられ、アップ信号が出力されるとループフィルタ7により充電が行われてクロック信号の位相を進める制御電圧信号が電圧可変制御回路8に与えられ、これらの制御電圧信号によりクロック信号の位相が遅延あるいは進められ、両信号間の位相差が調整される。

【0020】電圧可変遅延回路8は、例えば図4に示すようにMOSトランジスタにより構成され、同図(A)又は同図(B)に示すように、CMOSのインバータ9と、制御電圧信号がゲート端子に与えられたPチャネルのトランジスタ10を介して高位電源VDDに接続されたCMOSのインバータ11が縦続接続されて構成される。このように、電圧可変遅延回路8は簡単で小型に構成できるため、可変遅延回路3は従来のPLLに比べて格段に小型化することができる。

【0021】

【発明の効果】以上説明したように、この発明によれば、PLLを使用した場合に比べて回路構成の大型化を招くことなく、周波数の異なるクロック信号間の遅延差を低減し、回路動作の安定化を向上させることができる。

【図面の簡単な説明】

【図1】請求項1、2又は3記載の発明の一実施形態に係わる半導体集積回路の構成を示す図である。

【図2】請求項1又は2記載の発明の一実施形態に係わる半導体集積回路の構成を示す図である。

【図3】可変遅延回路の構成を示す図である。

【図4】電圧可変遅延回路の一構成を示す図である。

【図5】周波数の異なる複数のクロック信号を使用している従来の半導体集積回路の構成を示す図である。

【図6】図5に示す回路にPLLが使用されている従来の半導体集積回路の構成を示す図である。

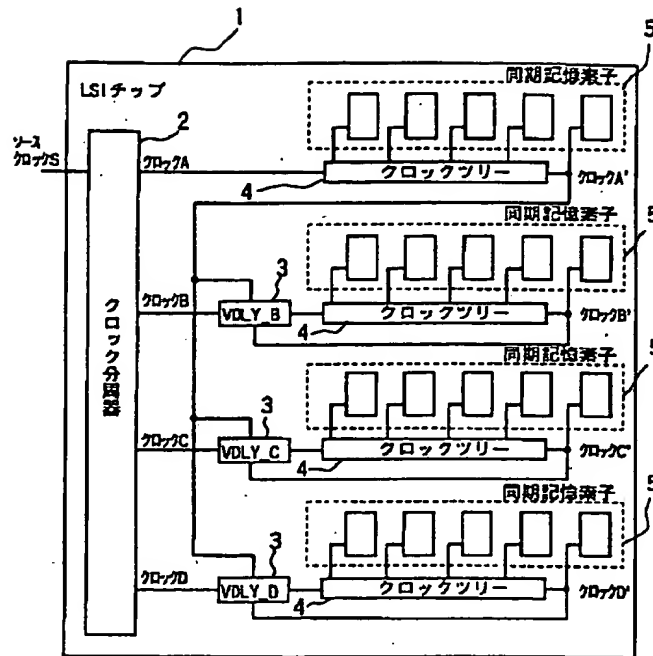
【図7】図5に示す回路に複数のPLLが使用されて1チップ化された半導体集積回路の構成を示す図である。

【図8】PLLの構成を示す図である。

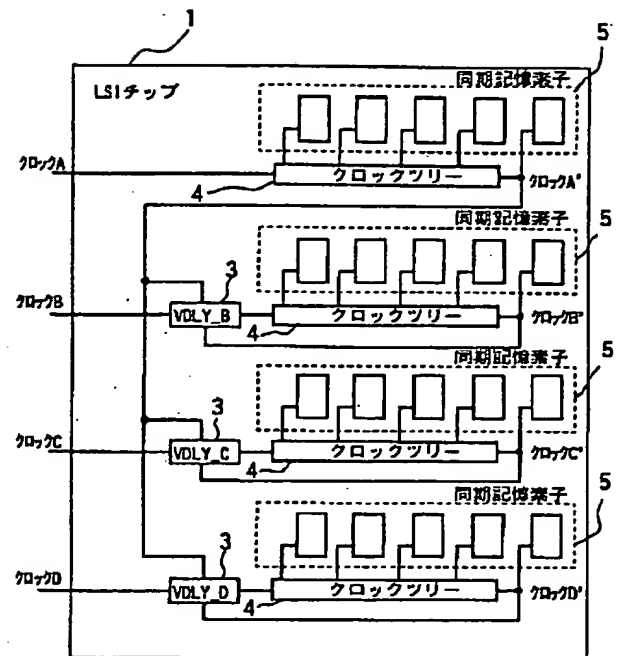
【符号の説明】

- 1 LSIチップ
- 2 クロック分周器
- 3 可変遅延回路
- 4 クロックツリー
- 5 同期記憶素子
- 6 位相比較器
- 7 ループフィルタ
- 8 電圧制御遅延回路
- 9, 11, 14, 15 インバータ
- 10, 12, 13 トランジスタ

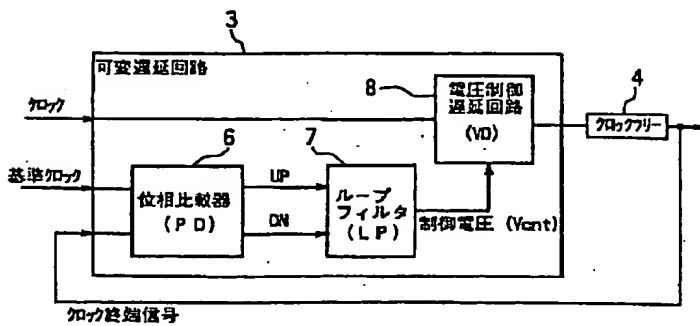
【図1】



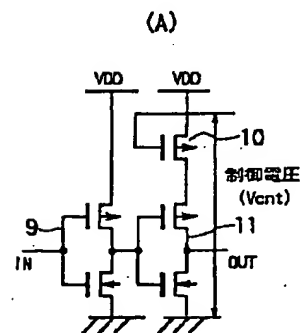
【図2】



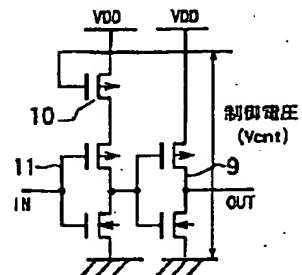
【図3】



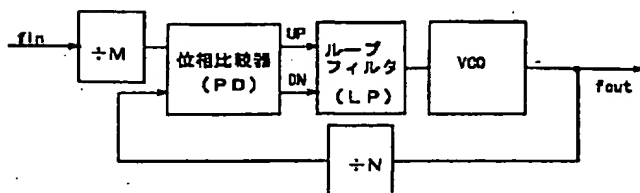
【図4】



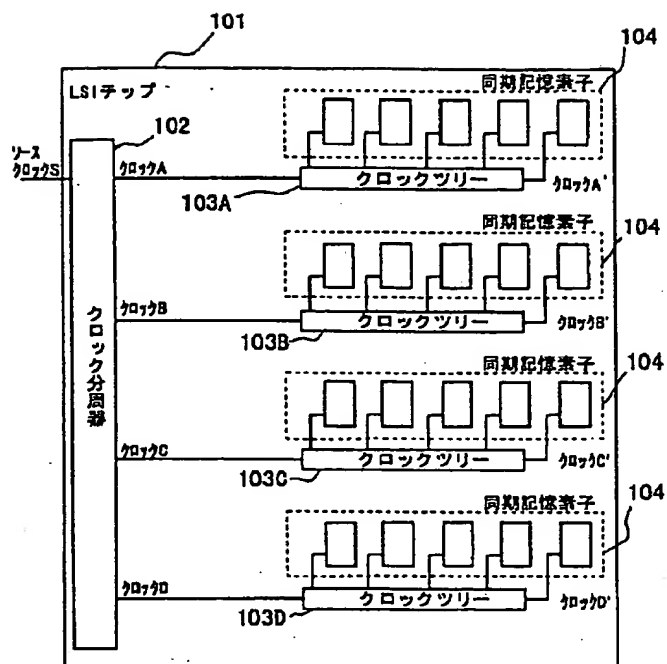
(B)



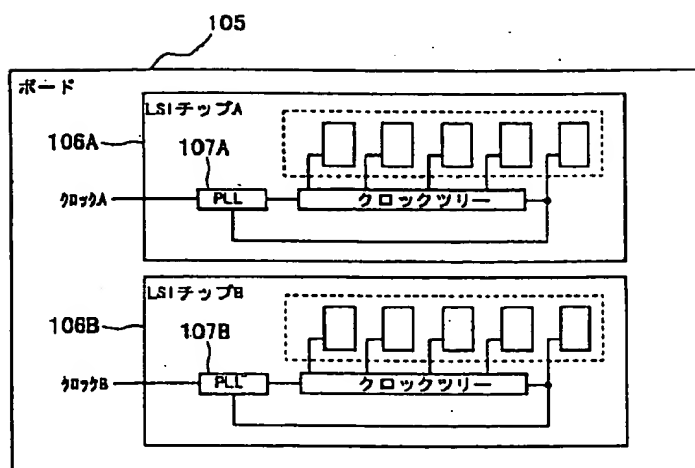
【図8】



【図5】

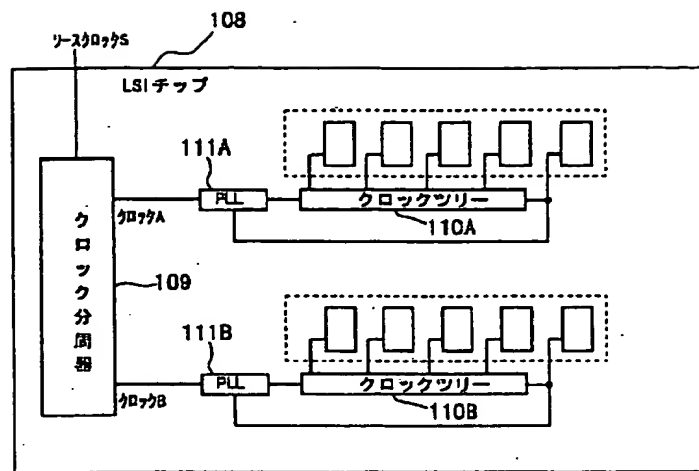


【図6】





【図7】



**This Page Blank (uspto)**

***This Page Blank (uspto)***